

特許協力条約

PCT

特許性に関する国際予備報告 (特許協力条約第二章)

(法第12条、法施行規則第56条)

[PCT36条及びPCT規則70]

REC'D 17 NOV 2005

WIPO

PCT

出願人又は代理人 の書類記号 10701-GE-PCT		今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP03/16012	国際出願日 (日.月.年) 15. 12. 2003	優先日 (日.月.年) 20. 10. 2003	
国際特許分類 (IPC) Int.Cl. ⁷ H01L25/065 (2006.01), H01L25/07 (2006.01), H01L25/18 (2006.01)			
出願人 (氏名又は名称) 株式会社GENUSION			

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。

3. この報告には次の附属物も添付されている。

a. ☒ 附属書類は全部で 6 ページである。

☒ 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙 (PCT規則70.16及び実施細則第607号参照)

☐ 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙

b. ☐ 電子媒体は全部で (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。
(実施細則第802号参照)

4. この国際予備審査報告は、次の内容を含む。

- ☒ 第I欄 国際予備審査報告の基礎
- ☒ 第II欄 優先権
- ☒ 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- ☒ 第IV欄 発明の単一性の欠如
- ☒ 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第VI欄 ある種の引用文献
- ☐ 第VII欄 国際出願の不備
- ☐ 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 19. 05. 2005	国際予備審査報告を作成した日 27. 10. 2005
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 永一 電話番号 03-3581-1101 内線 3469

様式PCT/IPEA/409 (表紙) (2005年4月)

第1欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
☐ 国際公開 (PCT規則12.4(a))
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a)).

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に回答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

- ☐ 出願時の国際出願書類
☒ 明細書
 第 5-15 _____ ページ、出願時に提出されたもの
 第 1-4 _____ ページ*、07.10.2005 付で国際予備審査機関が受理したもの
 第 _____ ページ*、付で国際予備審査機関が受理したもの

☒ 請求の範囲

- 第 _____ 項、出願時に提出されたもの
 第 _____ 項*、PCT19条の規定に基づき補正されたもの
 第 1, 7, 8, 10-12 _____ 項*、07.10.2005 付で国際予備審査機関が受理したもの
 第 _____ 項*、付で国際予備審査機関が受理したもの

☒ 図面

- 第 1-9 _____ 図、出願時に提出されたもの
 第 _____ ページ/図*、付で国際予備審査機関が受理したもの
 第 _____ ページ/図*、付で国際予備審査機関が受理したもの

- ☐ 配列表又は関連するテーブル
 配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 2-6, 9 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第三欄 新規性、進歩性又は産業上の利用可能性についての見解の作成

次に関して、当該請求の範囲に記載されている発明の新規性、進歩性又は産業上の利用可能性につき、次の理由により審査しない。

☐ 国際出願全体

☒ 請求の範囲 12

理由:

☐ この国際出願又は請求の範囲 _____ は、国際予備審査をすることを要しない
次の事項を内容としている（具体的に記載すること）。

☐ 明細書、請求の範囲若しくは図面（次に示す部分）又は請求の範囲 _____ の
記載が、不明確であるため、見解を示すことができない（具体的に記載すること）。

☐ 全部の請求の範囲又は請求の範囲 _____ が、明細書による十分な
裏付けを欠くため、見解を示すことができない（具体的に記載すること）。

☒ 請求の範囲 12 _____ について、国際調査報告が作成されていない。

☐ 入手可能な配列表が存在せず、有意義な見解を示すことができなかった。

出願人は所定の期間内に、

☐ 実施細則の附属書Cに定める基準を満たす紙形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ 実施細則の附属書Cに定める基準を満たす電子形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ PCT規則13の3.1(a)又は(b)及び13の3.2に基づく命令に応じた、要求された配列表の遅延提出手数料を支払わなかった。

☐ 入手可能な配列表に関連するテーブルが存在しないため、有意義な見解を示すことができなかった。すなわち、出願人が、所定の期間内に、実施細則の附属書Cの2に定める技術的な要件を満たす電子形式のテーブルを提出しなかったため、国際予備審査機関は、認められた形式及び方法でテーブルを入手することができなかった。

☐ スクレオチド又はアミノ酸の配列表に関連するテーブルが電子形式のみで提出された場合において、当該テーブルが、実施細則の附属書Cの2に定める技術的な要件を満たしていない。

☐ 詳細については補充欄を参照すること。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲 8, 10, 11	有
	請求の範囲 1, 7	無
進歩性(IS)	請求の範囲	有
	請求の範囲 1, 7, 8, 10, 11	無
産業上の利用可能性(IA)	請求の範囲 1, 7, 8, 10, 11	有
	請求の範囲	無

2. 文献及び説明(PCT規則70.7)

- 文献1:JP 5-343608 A(株式会社日立製作所)1993.12.24
 文献2:JP 10-335574 A(日本電信電話株式会社)1998.12.18
 文献3:JP 62-134939 A(ソニー株式会社)1987.06.18
 文献4:JP 2-139669 A(三菱鉱業セメント株式会社)1990.05.29
 文献5:JP 11-204719 A(株式会社東芝)1999.07.30,
 第9欄第9-39行,図7(ファミリーなし)
 文献6:JP 8-236693 A(日本電気株式会社)1996.09.13,
 第1欄第27-33行(ファミリーなし)
 文献7:JP 8-70024 A(富士通株式会社)1996.03.12,
 第7欄第7-23行,図1,図4(ファミリーなし)
 文献8:JP 9-330961 A(株式会社日立製作所)1997.12.22,
 第4欄第23行-第5欄第19行,図1-3(ファミリーなし)

請求の範囲1及び7に記載された発明は、新たに引用された文献5から新規性を有さない。文献5には、ワイヤとメモリチップとが樹脂37により封止された介装基板9を半導体チップ1に搭載して接続し、更に、実装基板に半導体チップ1を搭載して樹脂38で封止した半導体装置が開示されている。試験用端子が切り離された半導体チップマウントサブ基板を用いた半導体装置と文献5に記載された半導体装置とに差異はない。

請求の範囲1及び7に記載された発明は、国際調査報告で引用された文献1から新規性を有さない。文献1には、チップ抵抗12やIC13が搭載され、トランスファモールドによって形成されたパッケージ15によって被われているサブアッセンブリ2を形成し、前記サブアッセンブリ2とチップ抵抗3とIC4とが配線基板1に搭載され、トランスファモールドによるパッケージ8によって被われている混成集積回路装置が開示されている。試験用端子が切り離された半導体チップマウントサブ基板を用いた半導体装置と文献1に記載された半導体装置とに差異はない。

補充欄

いずれかの欄の大きさが足りない場合

第 V.2. 欄の続き

請求の範囲 8、10 及び 11 に記載された発明は、国際調査報告で引用された文献 1 並びに新たに引用された文献 5-8 より進歩性を有しない。文献 6 には、複数のチップを予めサブ基板に実装し、検査した後、一枚の基板に実装して成るマルチ・チップ・モジュールが開示されている。また、文献 7 及び 8 には、基板の周辺部に検査用のパッドを設け、検査後切断除去する半導体装置が開示されている。

明 細 書

半導体チップマウントサブ基板、半導体装置、半導体チップサブ基板の製造方法、ベアチップマウント用のサブ基板、および、サブ基板シート

5

技術分野

この発明は、半導体装置のパッケージ構造およびそのパッケージ化方法に関するものである。

背景技術

- 10 移動体通信システムの端末装置（携帯電話機）などのように半導体装置を用いた電子機器において、その小型軽量化を図る上で半導体装置の高集積化を如何に高めるかは常に重要である。これまで半導体回路の微細化が順調に進んでいたときには可能な限りの回路を1チップ化して、実装面積の縮小化、高速化、消費電力の低減化というメリットを生かしてきた。と
- 15 ころが、半導体回路の微細化に伴う製造コストの急騰と設計開発期間の長期化という問題が顕在化してきた。

- そこで、複数の半導体チップを3次元実装するSIP(System in Package)技術が注目されている。例えば図9に示すように、パッケージ基板10の上に半導体チップ30をマウントし、この半導体チップ30の上にさらに別の半導体チップ40をマウントし、これらの半導体チップ30、40とパッケージ基板10との間をワイヤWでワイヤボンディングしている。この技術については、日経エレクトロニクス2002, 2-11 no. 815 p108 「第1部 チップがダメならパッケージがある」に紹介されている。

- しかし、従来のSIPでは、異なったプロセスによる半導体チップを単一のパッケージに収めることができ、実装基板に対する実装面積の縮小化が図れる。このように複数の半導体チップを1つのパッケージ内に収めて
- 25

半導体装置を構成する場合、良品率を如何に高めるかが課題となる。すなわち、各半導体チップはウエハ状態でウエハプローブテストを行い、良品と見なされた半導体チップのみをパッケージ基板などに搭載することになる。

- 5 ところが、複数の半導体チップを組み合わせるアSEMBルメーカー側では、例えば異なった半導体チップの端子（電極）間をワイヤボンディングしてS I Pを構成する場合に、両半導体チップの端子の形成位置、端子ピッチ、信号線の順番などを予め固定的に設計しなければならず、設計上の自由度が低下してしまい、開発期間を短縮化できる筈のS I Pの特質がうまく活かせないといった問題があった。

- 10 また、半導体チップを供給するメーカー側では、ウエハ状態で半導体チップのすべての動作試験は行うことができず、例えば、高温連続動作試験（Burn-in）によるスクリーニング等の信頼性試験を完全に行うことはできなかった。そのため、ウエハから切り出した後の半導体チップを個別に良否判定し、その結果、K G D（Known-Good-Die：検査済み良品チップ）を保証する半導体チップが得られる。ところが、ウエハから切り出したままの半導体チップ（ベアチップ）の状態でこのような判定を行うためには、各半導体チップの端子（電極）に対して電氣的に接続するための装置や専用の試験装置が個々に必要となり、そのためコストが嵩むといった問題があった。

- 20 そこで、この発明の目的は、複数の半導体チップと組み合わせる際に、各半導体チップの外部接続用端子の位置、ピッチ、信号配列などを制約することなく半導体チップ間の電氣的接続を容易に行えるようにして、上述の問題を解消した半導体装置のパッケージ構造およびパッケージ化方法を
25 提供することにある。

また、この発明の別の目的は、半導体チップを供給するメーカー側では、S I Pを構成する半導体チップのK G D（Known-Good-Die）を容易に保証

できるようにし、SIPを製造するアSEMBルメーカー側では、KGDの半導体チップを用いて高い良品率の下でSIPを製造できるようにした半導体装置のパッケージ構造およびパッケージ化方法を提供することにある。

発明の開示

- 5 (1) この発明は、複数の半導体チップを搭載する基板状またはフレーム状の基材と、

マウントした半導体ベアチップの端子を接続する内部端子と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置のテスト電極が接続される試験用端子と、前記外部端子、内部端子、試験用端子の間を電氣的に接続する導体配線が形成されたサブ基板上に、半導体ベアチップをマウントし、所定の信頼性試験または動作試験ののち前記試験用端子を切り離してなる半導体チップマウントサブ基板と、を備え、

10

該半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴としている。

15

(2) この発明は、マウントした半導体ベアチップの端子を接続する内部端子と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置のテスト電極が接続される試験用端子と、前記外部端子、内部端子、試験用端子の間を電氣的に接続する導体配線が形成されたサブ基板上に、半導体ベアチップをマウントし、所定の信頼性試験または動作試験ののち前記試験用端子を切り離して構成したことを特徴とする。

20

(3) この発明は、マウントした半導体ベアチップの端子を接続する内部端子と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置のテスト電極が接続される試験用端子と、前記外部端子、内部端子、試験用端子の間を電氣的に接続する導体配線が形成されたサブ基板を製作するサブ基板製作工程、

25

前記サブ基板上に半導体ベアチップをマウントして、該半導体ベアチ

ップの端子を前記内部端子に接続するベアチップマウント工程、

前記試験用端子に試験装置を接続して所定の信頼性試験または動作試験を行う動作試験工程、

- 前記所定の信頼性試験または動作試験ののち前記試験用端子を切り離して半導体チップマウントサブ基板を製作する切り離し工程、
- 5 を有することを特徴としている。

- (4) この発明は、(3)において、前記サブ基板製作工程は、複数のサブ基板を、マトリクス状に一体に接続して製作する工程であり、前記動作試験工程は、一体に接続された複数のサブ基板を順次または同時に前記初手の信頼性試験または動作試験を行う工程であることを特徴とする。
- 10

- (5) この発明は、マウントした半導体ベアチップの端子を接続する内部端子と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置のテスト電極を接続するための端子であって、前記内部端子、外部端子の外側に、前記内部端子、外部端子よりも粗いピッチで形成された試験用端子と、前記外部端子、内部端子、試験用端子の間を電氣的に接続する導体配線と、を形成したことを特徴とする。
- 15

- (6) この発明は、(5)のサブ基板を、複数、マトリクス状に一体に接続して構成したことを特徴とする。

図面の簡単な説明

- 図1は、第1の実施形態に係る半導体装置のパッケージ構造を示す平面図である。図2は、同半導体装置の主要部の断面図である。図3は、第2の実施形態に係る半導体装置の構造を示す平面図である。図4は、第3の実施形態に係る半導体装置の構造を示す断面図である。図5は、第4の実施形態に係る半導体装置の構造を示す断面図である。図6は、第5の実施形態に係る4つの半導体装置の構造を示す断面図である。図7は、第6の
- 20
- 25

請 求 の 範 囲

(1) (補正後) 複数の半導体チップを搭載する基板状またはフレーム状の基材と、

マウントした半導体ベアチップの端子を接続する内部端子と、該半導体ベア
5 チップの端子以外の端子を接続する外部端子と、試験装置のテスト電極が接続
される試験用端子と、前記外部端子、内部端子、試験用端子の間を電氣的に接
続する導体配線が形成されたサブ基板上に、半導体ベアチップをマウントし、
所定の信頼性試験または動作試験ののち前記試験用端子を切り離してなる半導
体チップマウントサブ基板と、を備え、

10 該半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載
し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材と
ともに樹脂封止したことを特徴とする半導体装置。

(2) (削除)

(3) (削除)

15 (4) (削除)

(5) (削除)

(6) (削除)

(7) (補正後) マウントした半導体ベアチップの端子を接続する内部端子
と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置の
20 テスト電極が接続される試験用端子と、前記外部端子、内部端子、試験用端子
の間を電氣的に接続する導体配線が形成されたサブ基板上に、半導体ベアチッ
プをマウントし、

所定の信頼性試験または動作試験ののち前記試験用端子を切り離してなる半
導体チップマウントサブ基板。

25 (8) (補正後) マウントした半導体ベアチップの端子を接続する内部端子
と、該半導体ベアチップの端子以外の端子を接続する外部端子と、試験装置の
テスト電極が接続される試験用端子と、前記外部端子、内部端子、試験用端子

の間を電氣的に接続する導体配線が形成されたサブ基板を製作するサブ基板製作工程、

前記サブ基板上に半導体ベアチップをマウントして、該半導体ベアチップの端子を前記内部端子に接続するベアチップマウント工程、

- 5 前記試験用端子に試験装置を接続して所定の信頼性試験または動作試験を行う動作試験工程、

前記所定の信頼性試験または動作試験ののち前記試験用端子を切り離して半導体チップマウントサブ基板を製作する切り離し工程、

を有することを特徴とする半導体チップマウントサブ基板の製造方法。

- 10 (9) (削除)

(10) (追加) 前記サブ基板製作工程は、複数のサブ基板を、マトリクス状に一体に接続して製作する工程であり、

前記動作試験工程は、一体に接続された複数のサブ基板を順次または同時に前記初手の信頼性試験または動作試験を行う工程である

- 15 請求項8に記載の半導体チップマウントサブ基板の製造方法。

(11) (追加) マウントした半導体ベアチップの端子を接続する内部端子と、

該半導体ベアチップの端子以外の端子を接続する外部端子と、

- 20 試験装置のテスト電極を接続するための端子であって、前記内部端子、外部端子の外側に、前記内部端子、外部端子よりも粗いピッチで形成された試験用端子と、

前記外部端子、内部端子、試験用端子の間を電氣的に接続する導体配線と、を形成したことを特徴とするベアチップマウント用のサブ基板。

- 25 (12) (追加) 請求項11のサブ基板を、複数、マトリクス状に一体に接続して構成したサブ基板シート。